

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-97831

(43)公開日 平成6年(1994)4月8日

(51)Int.C1.⁶H03M 1/82
1/86

識別記号

9065-5J
9065-5J

F I

審査請求 未請求 請求項の数1 (全4頁)

(21)出願番号 特願平3-355132

(22)出願日 平成3年(1991)12月19日

(71)出願人 000191272

テクノエース株式会社

愛知県名古屋市千種区大久手町7丁目1番地

(72)発明者 関谷 守

愛知県岩倉市八剣町長野1番地 テクノエース株式会社内

(72)発明者 工藤 洋一

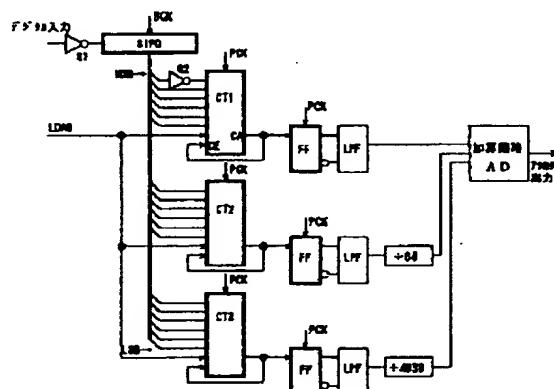
愛知県岩倉市八剣町長野1番地 テクノエース株式会社内

(54)【発明の名称】デジタル／アナログ変換器

(57)【要約】

【目的】デルタ・シグマ変調方式を採用することなく、ダイレクトにデジタル・データを1ビットデジタル／アナログ変換することで、高性能、高安定に加えて高品質なデジタル／アナログ変換回路を実現することを課題とする。

【構成】Nビットのデジタル・データをm個のグループに分割し、その範囲内でとりうるデータの値に応じた一定振幅のパルス信号の幅は密度を時間制御にて変化させ変調し、変調後の信号を分割したグループ単位に重み付けし、合成することで、デジタル・アナログ変換を行なう。



【特許請求の範囲】

【請求項1】Nビットのデジタル・データをm個のグループに分割し、その範囲内でとりうるデータの値に応じた一定振幅のパルス信号の幅又は密度を時間制御にて変化させ変調し、変調後の信号を分割したグループ単位に重み付けし、合成することで、デジタル・アナログ変換を行なうことを特徴とするデジタル・アナログ変換器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、各種デジタルオーディオ機器に於けるデジタル・アナログ変換器に関する。

【0002】

【従来の技術】従来の高精度デジタル・アナログ変換器としては、デルタ・シグマ変調方式による1ビットデジタル・アナログ変換器が代表的な存在である。これは、デジタル・データを一定振幅のパルス幅又はパルス密度に変換するものであり、パルスの幅又は密度は、高精度なタイミング発生回路（クロック）によってデジタル回路にて生成されるため、極めて高精度、高安定なデジタル・アナログ変換を実現している。

【0003】しかしながら、デルタ・シグマ変調器は、デジタル・データをダイレクトにパルス幅又は密度に変換している訳ではない。ダイレクトに変換する場合、CDプレーヤの場合を例にとると、量子化ビット数16ビット、サンプリング周波数44.1kHzであり、2^{2.6757μs} (1/44.1kHz) の時間内に2¹⁶ (=65536) 通りの制御が必要となる。もし、これをパルス幅に変換することを考えると

$$44.1\text{kHz} \times 2^{16} = 2.89\text{GHz}$$

にも及ぶタイミング発生器とこの速度に追従動作する論理回路が必要であり、とうてい現実的ではない。

【0004】デルタ・シグマ変調器の基本は、非常に低ビット（1～4ビット）のデジタル・アナログ変換器を使用し、この分解能が低いがために生ずる再量子化雑音を遅延器を通して再度入力部に帰還させ、再量子化雑音の周波数分布を高域に集中させることで可聴帯域内の分解能の向上を計るものであり、数10MHz程度のクロック速度で動作させているのが一般的である。換言すれば、低分解能のデジタル・アナログ変換器による誤差成分を常時補正して動作させる構成であり、前述したように周波数一定の静特性に於いては、高性能を發揮する。しかし、過去の誤差成分が常に帰還されているため、ダイナミックな特性、例えば単発的なデジタル・ゼロが入力されても出力は、すぐには追従できず、ノイズとなって発生（ハンティング現象）してしまい、音質的には高品質とは云えない。

【0005】

【発明が解決しようとする課題】本発明は、デルタ・シグマ変調方式を採用することなく、ダイレクトにデジタル・データを1ビットデジタル・アナログ変換すること

で、高性能、高安定に加えて高品質なデジタル・アナログ変換回路を実現することを課題とする。

【0006】

【課題を解決するための手段】上記課題を解決すべく、【0007】本発明に係わるデジタル・アナログ変換器は、Nビットのデジタル・データをm個のグループに分割し、その範囲内でとりうるデータの値（2^m個）に応じた一定振幅のパルス信号の幅又は密度を時間制御にて変化させ変調し、変調後の信号を分割したグループ単位に重み付けし、合成することで、デジタル・アナログ変換を行なうことを特徴とする。

【0008】

【発明の作用・効果】デジタル信号処理回路からのNビットのデジタル・データをm個のグループに分割し、デジタル・データのとりうる組み合わせ数を減少させる。そして、分割されたグループ単位にデジタル・データをダイレクトに一定振幅のパルスの幅又は密度に変調し、各々のグループの変調後の信号を分割に応じた重み付けを付加して合成するようにしたものである。

【0009】これにより、ハンティング現象の発生しない1ビットデジタル・アナログ変換器を構成することができ、従来のデルタ・シグマ変調による1ビットデジタル・アナログ変換器の高精度・高安定に加え、高品質なデジタル・アナログ変換を実現することができる。

【0010】

【実施例】以下、この発明の実施例を図面に基づいて説明する。

【0011】実施例（図1）

この実施例は、本発明に係わるデジタル・アナログ変換器に関するものである。

【0012】図1は、デジタル信号処理回路（デジタル・フィルタ回路も含む。）からの18ビットのデジタル信号を3個のグループに分割し、ダイレクトにパルス幅変調する場合の例である。

【0013】デジタル信号処理回路（図示せず）からのシリアルなデジタル・データは、ゲートG1により極性反転されて、S I P O（シリアル・イン・パラレル・アウト）レジスタに取り込まれる。このときのS I P Oレジスタのシフト・クロックB C Kは、サンプリング周波数のビット数倍以上であればよい。

【0014】S I P Oレジスタにセットされたサンプリング毎のデータは、その後、3組の6ビットのバイナリーカウンタ回路C T 1～C T 3に並列にL O A D信号によりセットされ、最上位符号ビットM S Bのみ極性反転されてセットされ、カウンタ・クロックP C Kにより、カウント・インクリメント動作を開始する。このとき、各カウンタ回路のキャリー・アウト信号C Aは、6ビットの状態が、全て”1”で論理”1”を出力する信号であり、パルス幅変調出力信号となる。また、同キャリー・アウト信号C Aは、カウンタ回路のカウント・イネーブル

入力信号CEにも接続され、カウント・イネーブル入力信号CE入力論理が”1”のとき、カウント動作を停止する制御信号としても機能する。

【0015】例えば、バイナリーカウンタ回路CT3の6ビットの元の信号が、000011としたとき、SIPOLレジスタに取り込まれるデータは、ゲートG1によ

$$111100 \rightarrow 111101$$

と変化すると同時に、キャリーアウト信号CAも

$$0 \rightarrow 0$$

に変化し、キャリーアウト信号CAが”1”になった時点でカウント・イネーブル入力信号CEも”1”に変化することで、以降のカウント動作を停止する。

【0016】即ち、キャリーアウト信号CAは、LOADパルスが、入力されるまでは、常に”1”に保持されることになり、上記の例では、000011(10進で”3”)の入力により、キャリーアウト信号CAには、カウンタ・クロックPCK 3発分の”0”レベルが得られる。

【0017】以上、同様に6ビットのデジタル値に対応して、キャリーアウト信号CAはカウンタ・クロックPCK 0発～63発分の”0”レベルを幅とするパルスを出力することになり、パルス幅変調が実施される。よって、カウンタ・クロックPCKは、サンプリング周波数の64倍以上であればよい。

【0018】尚、ゲートG2による最上位符号ビットMSBの論理反転の目的は、デジタル・オーディオの符号形式が2の補数表示であり、このままでは、位相反転してしまうのを避けるため、最上位符号ビットMSBのみを反転して、オフセット・バイナリに変換している。

【0019】図1に於いて、CT1～CT3は、インクリメント・カウンタを使用しているが、デクリメント・カウンタに変更した場合でも、ゲートG1を削除し類似の回路構成により上記作用を実現できることは云うまでもない。また、図1では、6ビットに分割した場合を示したが、回路を構成する上で、動作しうるクロック・スピードに応じて、分割のビット数が決定されることも云うまでもない。

【0020】以上のようにして得られた3組のパルス幅変調出力は、一度フリップフロップFFによって波形整形された後、ローパス・フィルタLPFを介して、各グループに対応した重み付けをされた後に加算回路ADにて合成される。図1の例では、6ビットに3分割して

り、111100となり、バイナリーカウンタ回路CT3にロードされる。このとき、バイナリーカウンタ回路CT3のキャリーアウト信号CA出力は、”0”となり、同時にカウント・イネーブル入力信号CE入力も”0”でカウンタ・クロックPCKによるカウント・インクリメント動作がイネーブルされ、

$$\rightarrow 111110 \rightarrow 111111$$

$$0 \rightarrow 1$$

10 るため、最上位のグループの重み付けを×1倍としたとき、中間位グループの重み付けは×(1/64)倍となり、最下位のグループの重み付けは×(1/4096)倍となる。

【0021】また、出力をパルスの幅変調ではなく、パルスの密度で変調する場合でも、キャリーアウト信号CAの論理値とカウンタ・クロックPCKにより、容易に作成することができる。

【0022】以上、本発明によれば、ハンティング現象の発生しない1ビットデジタル/アナログ変換器を構成することが可能であり、従来のデルタ・シグマ変調による1ビットデジタル/アナログ変換器の高精度・高安定に加え、高品質なデジタル/アナログ変換を実現できる。

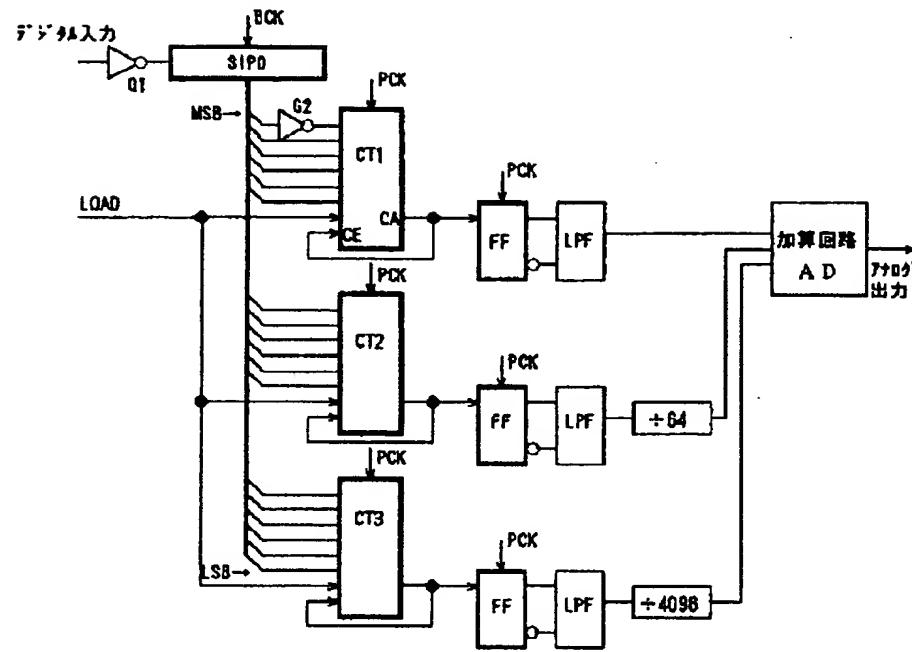
【図面の簡単な説明】

【図1】実施例に係るデジタル/アナログ変換器の構成図

【符号の説明】

SIPOL		SIPOL (シリアル・イン パラレル・アウト) レジスタ
30	G1, G2	ゲート
	CT1, CT2, CT3	バイナリーカウンタ回路
	BCK	シフト・クロック
	PCK	カウンタ・クロック
	CA	キャリーアウト信号
	CE	カウント・イネーブル入力
	FF	フリップフロップ
	LPF	ローパス・フィルタ
	AD	加算回路
40	MSB	最上位符号ビット
	LSB	最下位符号ビット

【図 1】



JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. HEI 6[1994]-97831

Int. Cl.⁵: H 03 M 1/82
1/86

Sequence No. for Office Use: 9065-5J

Filing No.: Hei 3[1991]-355132

Filing Date: December 19, 1991

Publication Date: April 8, 1994

No. of Claims: 1 (Total of 4 pages)

Examination Request: Not filed

DIGITAL/ANALOG CONVERTER

Inventors: Mamoru Sekiya
1 Nagano, Yatsurugi-cho,
Iwakura-shi, Aichi-ken

Yoichi Kudo
1 Nagano, Yatsurugi-cho,
Iwakura-shi, Aichi-ken

Applicant: 000191272
Techno Ace KK
7-1 Okute-cho, Chikusa-ku,
Nagoya-shi, Aichi-ken

[There are no amendments to this patent.]

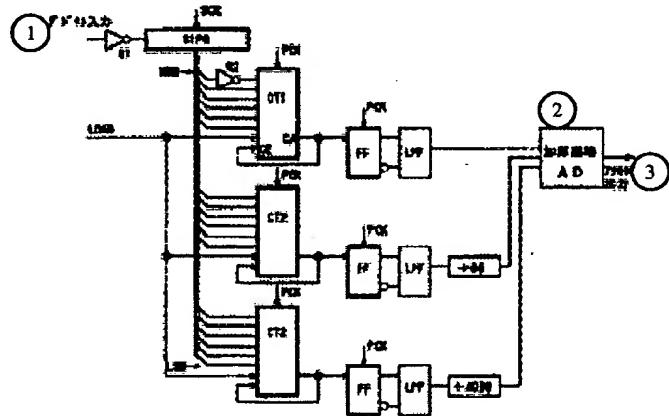
Abstract

Objective

The objective is to realize a digital/analog conversion circuit that has high performance and high stability, as well as high quality, by directly performing 1 bit digital/analog conversion of digital data without using a delta-sigma modulation method.

Constitution

N bits of digital data are divided into m groups, the width or density of pulse signals having a fixed amplitude according to a data value that can be obtained in that range is changed and modulated by means of time control. Digital/analog conversion is performed by weighting signals after modulation in divided group units and then synthesizing the output signals.



Key:

- 1 Digital input
- 2 Addition circuit
- 3 Analog output

Claim

A digital/analog converter characterized in that it performs digital/analog conversion by dividing N bits of digital data in m groups, changing the width or density of pulse signals having a fixed amplitude according to a data value that can be obtained in that range and modulating, weighting the signals after modulation in divided group units, and synthesizing.

Detailed explanation of the invention

[0001]

Industrial application field

The present invention relates to a digital/analog converter in various types of digital audio equipment.

[0002]

Prior art

Conventional high-precision digital/analog converters include 1 bit digital/analog converters that use a delta-sigma modulation method. They convert digital data to a fixed

amplitude pulse width or pulse density. Because the pulse width or density is generated by a digital circuit according to a high-precision timing generation circuit (clock), extremely high-precision, high-stability digital/analog conversion is realized.

[0003]

However, this does not mean that a delta-sigma converter directly converts digital data into a pulse width or density. Using the example of a CD player, for direct conversion, the number of bits quantized is 16, the sampling frequency is 44.1 kHz, and 2^{16} (= 65536) control cycles will be required in a time of 22.6757 μ s (1/44.1 kHz). If pulse width conversion is considered, a timing generation circuit that will go up to

$$44.1 \text{ kHz} \times 2^{16} = 2.89 \text{ GHz}$$

and a logic circuit that can operate at that speed will be required, which is unrealistic.

[0004]

Basically, digital/analog converters use a very low numeric of bits (1-4 bits) and because the resolution is thereby low, the quantization noise produced is passed through a delay element and returned to the input part, so that improved resolution in the audible band is achieved by concentrating the frequency distribution of the quantization noise in the high frequency region. The operation is usually carried out at a clock speed of tens of MHz. In other words, it is a configuration that works to always correct error components produced by the low-resolution digital/analog converter. With static characteristics at fixed frequency as described above, high performance is exhibited. However, because previous error components are always returned, output containing dynamic characteristics, for example, a single digital zero, cannot be tracked immediately and is generated as noise (hunting phenomenon). In terms of sound quality, this is undesirable.

[0005]

Problems to be solved by the invention

The problem for the present invention is to realize a digital/analog converter that has high performance and high stability, as well as high quality, by directly performing 1 bit digital/analog conversion of digital data without using a delta-sigma modulation method.

[0006]

Means to solve the problems

To solve the problem described above,

[0007]

the digital/analog converter according to the present invention is characterized in that it realizes digital/analog conversion by dividing N bits of digital data into m groups, changing the width or density of pulse signals having a fixed amplitude according to a data value (2^m) that can be obtained in that range and modulating, weighting the signals after modulation in divided group units, and synthesizing.

[0008]

Function and effects of the invention

N bits of digital data from a digital signal processing circuit are divided into m groups and the number of combinations of digital data that can be obtained is reduced. Then the digital data are directly modulated to a pulse width or density with fixed amplitude in units of divided groups, the signals in each group after modulation are weighted according to the division and synthesized.

[0009]

A 1-bit digital/analog converter in which the hunting phenomenon will not occur can be thereby configured, and a digital/analog converter with high quality, as well as high precision and high stability, compared with a conventional 1-bit digital/analog converter that uses delta-sigma modulation, can be realized.

[0010]

Application example

An application example of the present invention will be explained below based on the attached figure.

[0011]

Application example (Figure 1)

This application example concerns a digital/analog converter pertaining to the present invention.

[0012]

Figure 1 is an example in which an 18-bit digital signal from a digital signal processing circuit (including a digital filter circuit) is divided into 3 groups and directly pulse-width modulated.

[0013]

The polarity serial digital data from a digital signal processing circuit (not shown) are inverted by gate (G1) and collected in a SIPO (serial-in, parallel-out) register. The shift clock BCK of the SIPO register in this case need only be several times the number of bits of the sampling frequency.

[0014]

The data placed in the SIPO register with each sampling pulse are next placed by a LOAD signal in 3 sets of 6 bit binary counter circuits (CT1)-(CT3) in parallel. Only the most significant bit MSB is polarity inverted and placed there, and a count increment operation is started by a counter clock PCK. In this case, the carry out signal CA of each counter circuit is a signal in the form of 6 bits and produces a logical “1” when all are “1,” and produce the pulse-width modulation output signal. The carry out signals CA are also connected to the count enable input signal CE of the counter circuits and function as control signals to stop the count operation when the input logic of count enable input signal CE is “1.”

[0015]

For example, when the original 6-bit signal for binary counter circuit (CT3) is 000011, the data collected in the SIPO register becomes 111100 because of gate (G1) and is loaded into binary counter circuit (CT3). In this case, the output for the carry out signal CA by binary counter circuit (CT3) will be “0.” The count increment operation caused by counter clock PCK is enabled by the input of count enable input signal CE simultaneously being “0.” [The data] change

$$111100 \rightarrow 111101 \rightarrow 111110 \rightarrow 111111$$

and simultaneously, the carry out signal CA also changes

$$0 \rightarrow 0 \rightarrow 0 \rightarrow 1.$$

The subsequent counter operation is stopped by count enable input signal CE also becoming “1” at the point when the carry out signal CA becomes “1.”

[0016]

That is, carry out signal CA will always be kept at “1” until a LOAD pulse is input. With the example described above, a “0” level in the 3rd cycle by counter clock PCK is obtained by input of 000011 (“3” in decimal).

[0017]

The carry out signal CA will output a pulse with the “0” level for the 0-63rd cycles by counter clock PCK as the width corresponding to the 6-bit digital value in the manner described

above, and pulse width modulation is implemented. Thus, counter clock PCK need only be at least 64 times the sampling frequency.

[0018]

Note that the purpose of the logical inversion of the most significant bit MSB by gate (G2) is that digital audio code format is the two's complement representation. In order to avoid phase conversion, the most significant bit MSB is inverted for conversion into offset binary.

[0019]

In Figure 1, (CT1)-(CT3) use increment counters, but it goes without saying that they can be changed to decrement counters, and the function described above can be realized with a similar circuit configuration by leaving out gate (G1). Also, with Figure 1, the case of division into 6 bits was illustrated, but, needless to say, the number of bits in the division is determined according to the speed at which the clock can operate on the basis of the circuit configuration.

[0020]

The 3 sets of pulse-width modulated output obtained as described above undergo waveform-shaping by flip-flop FF, are then passed through low-pass filter LPF for weighting corresponding to the individual group, and are then synthesized by addition circuit AD. With the example in Figure 1, because the data are divided into 3 groups of 6 bits, when weighting of the most significant group is x_1 , the weighting of the middle group will be $x(1/64)$ and the weighting of the least significant group will be $x(1/4096)$.

[0021]

The output can also be easily produced according to the logical value of carry out signal CA and counter clock PCK even when modulating with pulse density rather than with pulse-width modulation.

[0022]

In the present invention as described above, it is possible to configure a 1-bit digital/analog converter in which the hunting phenomenon will not occur, and it is possible to realize digital/analog conversion with high quality, as well as high precision and stability, compared with a conventional 1-bit digital/analog converter that uses delta-sigma modulation.

Brief description of the figure

Figure 1 is a block diagram of a digital/analog converter pertaining to the present invention in an application example.

Explanation of the symbols

SIPO	SIPO (serial-in, parallel-out) register
G1, G2	Gates
CT1, CT2, CT3	Binary counter circuits
BCK	Shift clock
PCK	Counter clock
CA	Carry out signal
CE	Counter enable signal
FF	Flip-flop
LPF	Low-pass filter
AD	Addition circuit
MSB	Most significant bit
LSB	Least significant bit

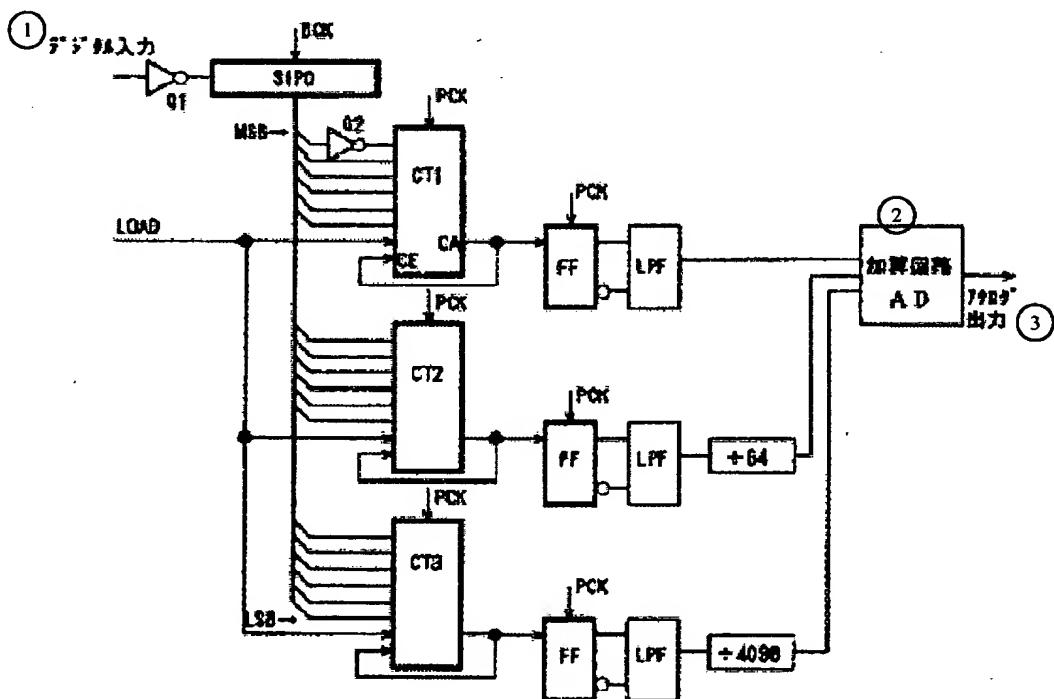
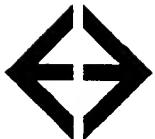


Figure 1

Key: 1 Digital input

- 2 Addition circuit
- 3 Analog output



RALPH

McElroy Translation

COMPANY

April 20, 2005

Re: 7037-102525

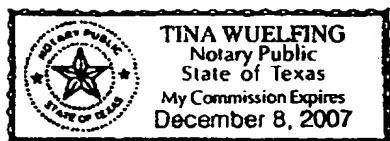
To Whom It May Concern:

This is to certify that a professional translator on our staff who is skilled in the Japanese language translated the enclosed JP06097831A from Japanese into English.

We certify that the attached English translation conforms essentially to the original Japanese language.

Kim Vitray
Operations Manager

Subscribed and sworn to before me this 20th day of April, 2005.



Tina Wuelfing
Notary Public

EXCELLENCE WITH A SENSE OF URGENCY®



Japanese Kokai Patent Application No. Hei 6[1994]-97831

Job No.: 7037-102525

Ref.: JP06097831A

Translated from Japanese by the Ralph McElroy Translation Company
910 West Avenue, Austin, Texas 78701 USA